

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092745
 (43)Date of publication of application : 10.04.1998

(51)Int.CI. H01L 21/20
 G02F 1/136
 H01L 29/786
 H01L 21/336

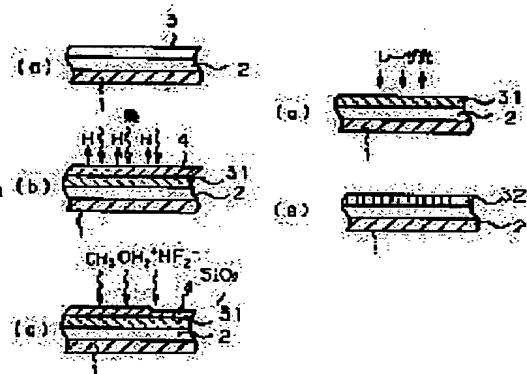
(21)Application number : 08-242782 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 13.09.1996 (72)Inventor : MATSUURA YUKI
 MIHASHI HIROSHI
 KAWAHISA YASUTO

(54) METHOD AND DEVICE FOR MANUFACTURING CRYSTAL SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the generation of unevenness on the surface of a polycrystal silicon film, caused by the existence of a native oxide, and enable satisfactory formation of an element by removing a native oxide on the surface of an amorphous semiconductor film formed on a substrate, and at the same time, irradiating the surface of the semiconductor with an energy beam.

SOLUTION: After a silicon oxide film as an undercoat layer 2 is formed on an insulating substrate 1, an amorphous silicon film 3 is formed on the silicon oxide film. Then, heat annealing is carried out on the amorphous silicon film, thus dehydrogenating the film. Thus, a native oxide 4 is formed on a polycrystal silicon film surface 31. Then, the natural oxide film 4 on the surface is removed by etching in a dry etching chamber, and the substrate on which etching is completed in a vacuum is transported into a laser annealing chamber, via a transfer chamber maintained in a vacuum. The amorphous silicon surface 31 is irradiated with a laser beam, thus forming a polycrystal silicon film 32 on the entire surface of the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(3)

方法を提供するものである。ここで、基板は、ガラスやセラミック等の絕縁性基板の他に、シリコンなどの半導体基板であっても良い。この半導体基板上にシリコン酸化膜、チッセシリコン膜などを形成した様な基板であっても良い。また、金属製基板上に酸化シリコン、チッセシリコンなどの絶縁成膜を形成したような基板であっても良い。更に、半導体は、シリコンに限るものではなく、他のIV族半導体例えばGe、C等でも良いし、化合物半導体例えば、GaAs、SiGe等であっても良い。さらに、エネルギービームは、レーザービーム以外に、電子ビームであっても良い。

【0011】また、請求項2の免則は、被処理基板を収容する被処理基板上に非晶質半導体膜を形成する第1のチャンバーと、前記非晶質半導体膜の表面の自然酸化膜を除去するドライエッキング手段と、前記非晶質半導体膜表面にエネルギービームを照射する手段と、前記被処理基板を吸収し前記非晶質半導体膜表面に前記エネルギービームを照射可能な第2のチャンバーとを備え、前記第1のチャンバーと前記第2のチャンバーとを接続する真空系を具備することを特徴とする請求項1の特徴とする真空系を提供するものである。

【0012】さらに、請求項3の免則は、請求項2の免則において、前記第1のチャンバー、前記第2のチャンバー、及び前記真空系の真空中は、 1×10^{-1} Pa以下の真空中で、前記半導体の製造装置を提供するものである。

【0013】特に、請求項1において、前記非晶質シリコン膜には、プラスマCVD法により基板温度270°Cで形成して水素濃度2 at. %以上を含むものを用い、レーザー二極管前部に熱処理を施すことにより結晶化時のレーザエネルギー密度を高くして膜アレーチョンが生じないため、多結晶シリコンの結晶粒径を大きくすることが可能となるため、多結晶シリコンTFTの移動度を向上させることができる。

【0014】特にまた、請求項1において、ドライエッキング手段に無水HF/CH₃OHベースクリーニングを用いることで、表面のバーディカルやカーボン、酸素などの吸留不純物を減少させることができるため、溶液中に多結晶シリコン膜中にそれらが混入することがなく多結晶シリコンTFTの移動度、Sファクターを向上させることができる。

【0015】さらに特に、請求項1において、ドライエッキング機構に紫外光露起F2ガスによる自然酸化膜除去機能を用いることにより、シリコン表面を水素により純化できるため、表面汚染が少なくなるため上記と同様にTFT特性を向上させることができるものである。

【0016】【発明の実施の形態】本免則は、非晶質半導体膜表面の自然酸化膜を除去する方法として、請求項1において、エッティング手段が形成されるが、HF/CH₃OHおよびCH₃OH1.0%溶液を用いる。そのペーパーの濃度は、溶液の濃度比は、溶液の濃度比に等しく、

(4)

それぞれHF3.8、6wt%とCH₃OH6.1、6wt%が用いられる。エッティングレートは、酸素流量およびCH₃OH濃度によって制御される。酸素流量を増加させれば、HF濃度が増大するため、エッティングレートは速くなる。自然酸化膜をエッティングする場合の最適条件としては、酸素流量はHF/CH₃OH摩1SLM、CH₃OH側9SLMに設定した。非晶質シリコン表面の酸化シリコンのエッティングレートは1.5 nm/minであった。

【0017】以下、屋ましい態様で説明すると、本免則の製造方法ではレーザー二極管前部に自然酸化膜を除去し、その後、酸素流量によって表面の洗浄効果を含んでS10xをエッティングできる。レーザエニールチャンバー103の真空度は 1×10^{-1} Pa以下に設定する。レーザエニール前に自然酸化膜が形成されることに起因したレーザエニール溶融時に不純物（例えば、炭素、酸素）の混入を防ぐために、真空中は 1×10^{-1} Pa以下に設定する。レーザエニールチャンバー103は、フライアーレーザビームと呼ばれるビームホモジナイザー111、集光レンズ112を介して非晶質シリコン表面に投射される。基板はX-Yステージ113を用いて可動でき、基板全面にレーザ光を照射できる。

【0018】【実施例】以下に、本免則を実施例に沿って説明する。

【実施例1】図1に、本免則の製造装置を示す。図1に示す如く、ドライエッキングチャンバー101、トランスマスター102、および非晶質シリコン膜を結晶化させた後、それをチャンバー103を備えていた構造である。ドライエッキングチャンバー101とチャンバー102は、それぞれのチャンバーに真空ポンプが接続された構造である。真空ポンプには、ターボポンプ104とその配管を用いたためのロータリーオイルポンプ105が接続される。これによつて、それぞれのチャンバーは 1×10^{-1} Pa以下の真空中に保たれる。真空度が 1×10^{-1} Pa以上よりも高い場合、自然酸化膜を除去した後にレーザ二極管を形成した後に、前記結晶化シリコン膜上に非晶質シリコン膜3を形成する。前記結晶化シリコン膜および非晶質シリコン膜3は、プラスマCVD、液圧CVD等のCVD法により堆積させる。非晶質シリコン膜3はSi₁H₄とH₂ガスを用いて、基板温度270°Cで成膜した。膜厚は5.0~10.0 nmの範囲で設定する。このように低温で成膜すれば、基板にガラス基板を用いることができる、コスト低減につながる。しかし上述したように低温で形成した非晶質シリコン膜に、數at. %以上の水素を含んでいたため、このままレーザエニールによるアレーチョンが生じて結晶性の良い多結晶シリコン膜が得られない（図2（a））。

【0019】ドライエッキング法には、無水HF/CH₃OHベースクリーニング法を用いることができる。これはキャリヤとして酸素ガス101を供給しながら、エッティングガスとしてHFとCH₃OHの混合ペーパーとCH₃OHペーパーをエッティングチャンバーに流すことで、表面の自然酸化膜が形成されることにより、非晶質シリコン表面の自然酸化膜（SiO_x膜）を除去する方法である。チャンバー内で活性HFが生成され、S10xと反応してSiF₄としてHFが生成されることができる。

【0020】特にまた、ドライエッキング手段として、H₂Oが発生するが、H₂Oはアルコールと親和力が良いので、過剰のアルコールペーパーとともに排気される。さらに、エッティング処理後、非晶質シリコン表面に残留するカーボン汚染の量も低減できる。酸素ガスの流量はマスクホールコントローラー107を用いて制御される。HF/CH₃OHおよびCH₃OHガスは、HF/CH₃OH1.0%溶液を用いて、本免則において特徴として得られた多結晶シリコン膜表面のRMSは1.0 nmよりも小さくなることがわかった。

【0021】次に、多結晶シリコン膜表面の凹凸

のない非晶質半導体膜を真空下留め（くは） 1×10^{-1} Pa以下の真空中下でエネルギーピームアーミルを行い、多結晶半導体や微結晶半導体などの結晶半導体に成長させることを特徴とする。この様な製造方法および製造装置の提供を骨子とする。この様な製造方法ないしは製造装置で形成したTFTやダイオード等の能動素子の性能向上を図ることも可能である。

【0022】このようにHF/CH₃OHペーパーエッキングでは、ドライエッキング手段によって表面の洗浄効果を含んでS10xをエッティングできる。レーザエニールチャンバー103の真空度は 1×10^{-1} Pa以下に設定する。レーザビームが用いられる。レーザビームと呼ばれるビームホモジナイザー111、集光レンズ112を介して非晶質シリコン表面に投射される。基板はX-Yステージ113を用いて可動でき、基板全面にレーザ光を照射できる。

【0023】本免則の製造装置を用いることにより、酸化膜除去工程と次工程でレーザエニールされて結晶化されるまで、非晶質シリコン膜表面は大気中に晒されることはない。よって、非晶質シリコン膜表面が解された状態で非晶質シリコン膜をレーザ結晶化するという利点がある。

【0024】図2に、図1の製造装置を用いた場合の本発明の製造方法を示す。まず、無アルカリガラスや石英等の絶縁基板114上に、アンダーコート膜2として酸化シリコン膜を形成した後に、前記結晶化シリコン膜内に多孔の穴（露口）が形成され、キャリアのトラップとなるため、TFT特性例えばON電流（移動度）、S/F比ともなる。その結果、露口部が形成され、露口部は劣化する（図2（e））。

【0025】図2（d）に示した露口部を用いて得られた多結晶シリコン膜は、表面凹凸によって露口部を結晶化させ、多結晶シリコン膜3を結晶化させた結果である。露口部は、露口部を結晶化させた露口部は4.0 nm以下2.2 nmを得る。多結晶シリコン膜3のグレインサイズは4.0 nm~1.0 nmであることが出来ない。4.0 nm以下ではサイズが小さくなるため、移動度が低下してしまう。一方、1 umを超えると、多結晶シリコン結晶粒内に多孔の穴（露口）が形成され、キャリアのトラップとなるため、TFT特性例えばON電流（移動度）、S/F比ともなる。その結果、露口部が形成され、露口部は劣化する（図2（e））。

【0026】本免則を用いて得られた多結晶シリコン膜の表面観察を行った結果を図3に示した。表面凹凸は、AFMを用いて測定した。測定に用いた多結晶シリコン膜は、膜厚5.0 nmの非晶質シリコン膜をレーザエニールして得られた。レーザ照射エネルギーは3.50 mJ/cm²である。そのグレインサイズは6.0 nmである。図3に、AFMで測定したRMS（平均二乗根差）とレーザエニール処理の関係を示す。比較として、上記したが、自然酸化膜を除去する処理を行わずに、レーザエニールして得られた多結晶シリコン膜を測定した。

【0027】次に、この多結晶シリコン膜表面のRMSは1.0 nm~2.0 nmであるのに対して、本免則を用いて得られた多結晶シリコン膜表面のRMSは1.0 nmよりも

がTFT特性に及ぼす影響を調べた。そこで、未処理の状態でレーザアニール処理を行った多結晶シリコン膜と、本発明を用いて得られた多結晶シリコン膜を形成して、ソース・ドレイン電極を用いてコアナ型D-*ch*TFTを作製した。このTFTは、多結晶シリコン膜上には、ゲート電極をECR-CVD法により成膜した。厚さは7.5 nmである。またゲート電極には、Mo-Taをスパッタ法により形成した。ゲート電極厚は25.0 nmである。次に、ゲート電極をマスクとしてB-*e*をイオンドーピングし、ソースおよびドレイン側面を形成した。イオンドーピング条件は、B2H6ガスを使用した。次に、層間絕縁膜には、SiO_x膜を* [表1] 1000Hz 15.9V 35.2V 3000Hz 47.7V 38.9V

測定周波数	ドライイッチング露レーザ ニアーネル	ドライイッチング露レーザ ニアーネル
1000Hz	15.9V	35.2V
3000Hz	47.7V	38.9V

測定結果はTFT 20個の平均値である。レーザの施加周波数1000Hzおよび2000Hzでレーザアニールした場合で、レーザエネルギーは3.5 mJ/cm²とした。この条件において、移動度は1.0~1.2 cm²/Vsの範囲で得られた。どちらの周波数でも、レーザニアーネル前に自然酸化膜除去法を行ったほうが、除去を行わない場合よりも1.0 V程度低くはつきが少ないほうが圧迫されただことがわかる。また、自然酸化膜除去法をすることにより、リーケ電流が低減された。

[0031] 上記のように、本発明の露過方法および製造装置を用いて、レーザアニール前後に自然酸化膜を除去することにより、レーザアニール法で得られる多結晶シリコン膜の表面は平坦化し、低リーケ電流で、かつゲート絶縁耐圧が高いTFTを作製できる。

[0032] 以上のように、レーザアニール前に自然酸化膜除去して、その酸化膜除去工程からアニール工程まで大気に露されないため、膜表面に酸化膜がない状態を保つまま多結晶シリコン膜をレーザアニール法により結晶化できる。それによって、酸素原子や表面不純物の侵入による表面凹凸を1.0 nm以下に抑えられた多結晶シリコン膜が得られ、低リーケ電流で、かつ絶縁破壊特性の良好な(ゲート耐圧の高い)高移動度多結晶シリコンTFTが提供できる。

[0033] このTFTを例えば薄膜トランジスタ方式の液晶表示装置の画素スイッチング素子および周辺駆動回路素子の用いる。上述の方法を用いて、ガラス基板上に画素スイッチング素子としてn-*ch*TFTを形成し、同時にCMOS構造で駆動回路部としてp-*ch*TFTおよびp-*ch*TFTを基板周辺部に形成する。各画素TFTには、形成時に附加柵電極CSを形成する。TFTを作製した後に、その上にSiNx等でバッシャーベーション膜を形成し、最後に対向電極の付いた柵膜を張り合わせて、柵膜を注入する。画素スイッチング素子には、

(1)

10

成方法の工程断面図

【図3】 *N*測定によるRMS値とレーザアニール前処理の関係を示す図

【図4】 本発明の実施例2における多結晶半導体の製造装置を示す図

【図5】 従来の多結晶半導体の製造方法の工程順の断面図

【符号の説明】

1.絶縁基板

2.アンダーコート膜

3.1脱水素したアモルファスシリコングラス

4.自然酸化膜

3.2表面が平坦(<1.0 nm)な多結晶シリコングラス

3.3表面が荒れた(>1.0 nm)な多結晶シリコングラス

4.自然酸化膜

5.アモルファスシリコングラス

6.水田F/CH3

7.ドライイッチングチャンバー(無水田F/CH3)

8.オーバーバケーニング

9.トランスマルチチャンバー

10.レーザアニールチャンバー

11.オーバーバケーニング

12.マスクローラー

13.ドライイッチングチャンバー

14.オーバーバケーニング

15.露過

16.露過

17.露過

18.露過

19.露過

20.露過

21.露過

22.露過

23.露過

24.露過

25.露過

26.露過

27.露過

28.露過

29.露過

30.露過

31.露過

32.露過

33.露過

34.露過

35.露過

36.露過

37.露過

38.露過

39.露過

40.露過

41.露過

42.露過

43.露過

44.露過

45.露過

(2)

11

成方法の工程断面図

【図3】 *N*測定によるRMS値とレーザアニール前処理の関係を示す図

【図4】 本発明の実施例2における多結晶半導体の製造装置を示す図

【図5】 従来の多結晶半導体の製造方法の工程順の断面図

【符号の説明】

1.絶縁基板

2.アンダーコート膜

3.1脱水素したアモルファスシリコングラス

4.自然酸化膜

5.アモルファスシリコングラス

6.水田F/CH3

7.ドライイッチングチャンバー

8.オーバーバケーニング

9.トランスマルチチャンバー

10.レーザアニールチャンバー

11.オーバーバケーニング

12.マスクローラー

13.ドライイッチングチャンバー

14.オーバーバケーニング

15.露過

16.露過

17.露過

18.露過

19.露過

20.露過

21.露過

22.露過

23.露過

24.露過

25.露過

26.露過

27.露過

28.露過

29.露過

30.露過

31.露過

32.露過

33.露過

34.露過

35.露過

36.露過

37.露過

38.露過

39.露過

40.露過

41.露過

42.露過

43.露過

44.露過

45.露過

46.露過

47.露過

48.露過

49.露過

50.露過

51.露過

52.露過

(3)

12

成方法の工程断面図

【図3】 *N*測定によるRMS値とレーザアニール前処理の関係を示す図

【図4】 本発明の実施例2における多結晶半導体の製造装置を示す図

【図5】 従来の多結晶半導体の製造方法の工程順の断面図

【符号の説明】

1.絶縁基板

2.アンダーコート膜

3.1脱水素したアモルファスシリコングラス

4.自然酸化膜

5.アモルファスシリコングラス

6.水田F/CH3

7.ドライイッチングチャンバー

8.オーバーバケーニング

9.トランスマルチチャンバー

10.レーザアニールチャンバー

11.オーバーバケーニング

12.マスクローラー

13.ドライイッチングチャンバー

14.オーバーバケーニング

15.露過

16.露過

17.露過

18.露過

19.露過

20.露過

21.露過

22.露過

23.露過

24.露過

25.露過

26.露過

27.露過

28.露過

29.露過

30.露過

31.露過

32.露過

33.露過

34.露過

35.露過

36.露過

37.露過

38.露過

39.露過

40.露過

41.露過

42.露過

43.露過

44.露過

45.露過

46.露過

47.露過

48.露過

49.露過

50.露過

51.露過

52.露過

(4)

13

成方法の工程断面図

【図3】 *N*測定によるRMS値とレーザアニール前処理の関係を示す図

【図4】 本発明の実施例2における多結晶半導体の製造装置を示す図

【図5】 従来の多結晶半導体の製造方法の工程順の断面図

【符号の説明】

1.絶縁基板

2.アンダーコート膜

3.1脱水素したアモルファスシリコングラス

4.自然酸化膜

5.アモルファスシリコングラス

6.水田F/CH3

7.ドライイッチングチャンバー

8.オーバーバケーニング

9.トランスマルチチャンバー

10.レーザアニールチャンバー

11.オーバーバケーニング

12.マスクローラー

13.ドライイッチングチャンバー

14.オーバーバケーニング

15.露過

16.露過

17.露過

18.露過

19.露過

20.露過

21.露過

22.露過

23.露過

24.露過

25.露過

26.露過

27.露過

28.露過

29.露過

30.露過

31.露過

32.露過

33.露過

34.露過

35.露過

36.露過

37.露過

38.露過

39.露過

40.露過

41.露過

42.露過

43.露過

44.露過

45.露過

46.露過

47.露過

48.露過

49.露過

50.露過

51.露過

52.露過

(5)

14

成方法の工程断面図

【図3】 *N*測定によるRMS値とレーザアニール前処理の関係を示す図

【図4】 本発明の実施例2における多結晶半導体の製造装置を示す図

【図5】 従来の多結晶半導体の製造方法の工程順の断面図

【符号の説明】

1.絶縁基板

2.アンダーコート膜

3.1脱水素したアモルファスシリコングラス

4.自然酸化膜

5.アモルファスシリコングラス

6.水田F/CH3

7.ドライイッチングチャンバー

8.オーバーバケーニング

9.トランスマルチチャンバー

10.レーザアニールチャンバー

11.オーバーバケーニング

12.マスクローラー

13.ドライイッチングチャンバー

14.オーバーバケーニング

15.露過

16.露過

17.露過

18.露過

19.露過

20.露過

21.露過

22.露過

23.露過

24.露過

25.露過

26.露過

27.露過

28.露過

29.露過

30.露過

31.露過

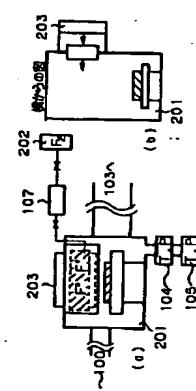
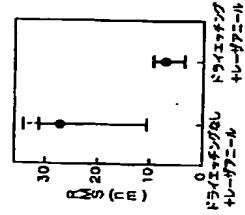
32.露過

33.露過

(1)

[図3]

[図5]



[図6]

